

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026670

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

H03G 3/02  
H03F 1/26  
H03F 3/181  
H03H 7/24

(21)Application number : 2000-201727

(71)Applicant : MITSUBISHI ELECTRIC CORP  
KYOEI SANGYO KK

(22)Date of filing : 04.07.2000

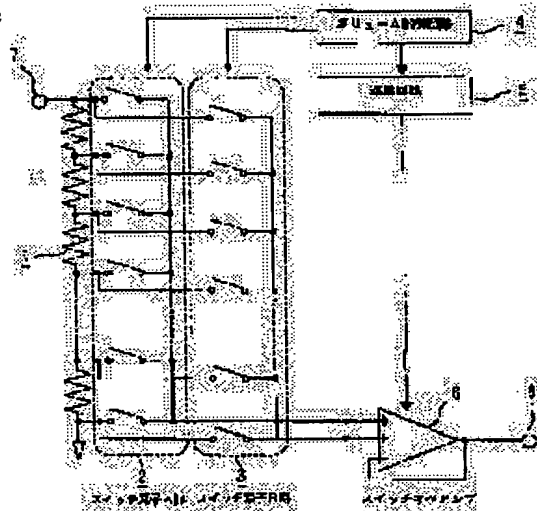
(72)Inventor : ARAKAWA TOMOYUKI  
KAKIHARA HISANOBU

## (54) RESISTANCE LADDER TYPE ELECTRONIC VOLUME

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a resistance ladder type electronic volume that can properly eliminate a switching noise.

**SOLUTION:** The resistance ladder type electronic volume is provided with a switch element group 2 that selects a resistance of a resistance ladder 1 and introduces a selected output depending on the resistance, a switch element group 3 that selects a resistance of the resistance ladder 1 and introduces a selected output depending on the resistance, where a volume is selected by selecting the selected outputs of the switch element groups 2, 3 to which a control signal from a volume control circuit 4 is applied, and also is provided with a switch operational amplifier 6 that receives the selected outputs from the groups 2, 3 to output a volume control output. Controlling the switch operational amplifier 6 with the delayed control signal received from the volume control circuit 4 via a delay circuit 5 can gradually change the volume control output.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-26670

(P2002-26670A)

(43)公開日 平成14年1月25日(2002.1.25)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 3 G	3/02	H 0 3 G	3/02 Z 5 J 0 2 6
H 0 3 F	1/26	H 0 3 F	1/26 5 J 0 9 2
	3/181		3/181 A 5 J 1 0 0
H 0 3 H	7/24	H 0 3 H	7/24

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願2000-201727(P2000-201727)

(22)出願日 平成12年7月4日(2000.7.4)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 000162320

協栄産業株式会社

東京都渋谷区松涛2丁目20番4号

(72)発明者 荒川 智幸

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100088199

弁理士 竹中 岑生

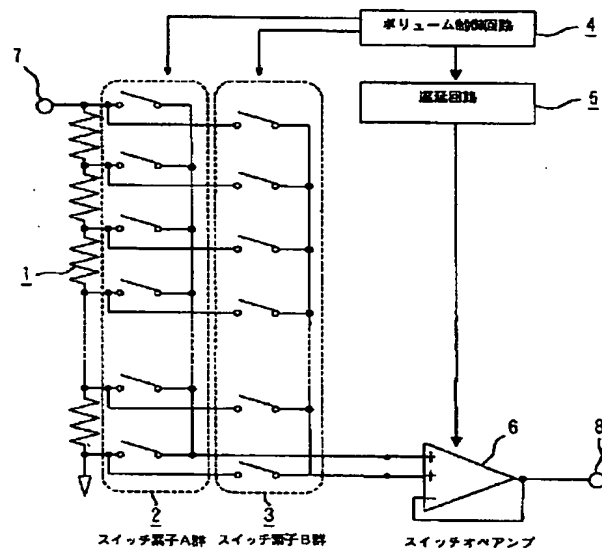
最終頁に続く

(54)【発明の名称】 抵抗ラダー型電子ボリューム

(57)【要約】

【課題】 切換ノイズを適切に除去できる抵抗ラダー型電子ボリュームを提供する。

【解決手段】 抵抗ラダー1の抵抗値を選択し、その抵抗値に応じた選択出力を導出するスイッチ素子群2と、抵抗ラダー1の抵抗値を選択し、その抵抗値に応じた選択出力を導出するスイッチ素子群3とを備え、ボリューム制御回路4からの制御信号の印加により、スイッチ素子群2、3の選択出力を切換えてボリューム選択を行うものにおいて、スイッチ素子群2、3による選択出力を受け、これらの選択出力を切換えてボリューム制御用出力を導出するスイッチオペアンプ6を備え、スイッチオペアンプ6を前記ボリューム制御回路4から遅延回路5を介して印加される遅延した制御信号によって制御することにより、ボリューム制御用出力を緩やかに変化させるようにした。



1

## 【特許請求の範囲】

【請求項 1】 抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第 1 のスイッチ素子群と、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第 2 のスイッチ素子群とを備え、制御信号の印加により、前記第 1 のスイッチ素子群または第 2 のスイッチ素子群の選択出力を切換えてボリューム選択を行うものにおいて、前記第 1 および第 2 のスイッチ素子群による選択出力を受け、これらの選択出力を切換えてボリューム制御用出力を導出するオペアンプを備え、前記オペアンプを前記制御信号の印加から遅延して制御することにより、ボリューム制御用出力を緩やかに変化させるようにしたことを特徴とする抵抗ラダー型電子ボリューム。

【請求項 2】 抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第 1 のスイッチ素子群と、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第 2 のスイッチ素子群とを備え、制御信号の印加により、前記第 1 のスイッチ素子群または第 2 のスイッチ素子群の選択出力を切換えてボリューム選択を行うものにおいて、前記第 1 のスイッチ素子群の選択出力を受ける第 1 の正入力端子と、前記第 2 のスイッチ素子群による選択出力を受ける第 2 の正入力端子とを有し、これら第 1 および第 2 の正入力端子に入力される前記第 1 のスイッチ素子群の選択出力と第 2 のスイッチ素子群の選択出力とを切換えてボリューム制御用出力を導出するスイッチオペアンプを備え、前記スイッチオペアンプを前記制御信号の印加から遅延して制御することにより、ボリューム制御用出力を緩やかに変化させるようにしたことを特徴とする抵抗ラダー型電子ボリューム。

【請求項 3】 抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第 1 のスイッチ素子群と、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第 2 のスイッチ素子群とを備え、ボリューム制御回路からの制御信号の印加により、前記第 1 のスイッチ素子群または第 2 のスイッチ素子群の選択出力を切換えてボリューム選択を行うものにおいて、前記第 1 および第 2 のスイッチ素子群による選択出力を受け、これらの選択出力を切換えてボリューム制御用出力を導出するオペアンプを備え、前記オペアンプを前記ボリューム制御回路から遅延回路を介して印加される遅延した制御信号によって制御することにより、ボリューム制御用出力を緩やかに変化させるようにしたことを特徴とする請求項 1 または請求項 2 に記載の抵抗ラダー型電子ボリューム。

【請求項 4】 前記遅延回路を積分器により構成し、前記遅延回路に対し抵抗により分圧された電圧入力を印加するようにしたことを特徴とする請求項 3 に記載の抵抗ラダー型電子ボリューム。

2

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、抵抗ラダーとスイッチ、オペアンプを用い構成される電子ボリューム回路を複数段有する回路において、前段回路と後段回路の DC レベル差により発生するボリューム切換時のショック音（切換ノイズ）を低減させる技術に関するものである。

【0002】

【従来の技術】図 6 は、従来技術における構成を示すものである。図において、1 は抵抗ラダー、4 はボリューム制御回路、7 は入力端子、8 は出力端子、14 は抵抗ラダー 1 の抵抗値を選択し、その抵抗値に応じた選択出力を導出するスイッチ素子群、15 はスイッチ素子群 14 の選択出力を受け、ボリューム制御用出力を導出するオペアンプである。

【0003】このような電子ボリューム回路では、前段回路の出力に生ずる DC オフセット電圧が次段としての電子ボリューム回路の入力端子 7 に入力されることによって、スイッチ素子群 14 により選択される抵抗ラダー 1 におけるボリューム設定各点で DC 電圧レベルが異なることになる。このため、出力端子 8 から導出される電子ボリュームのボリューム制御用出力としての DC 出力レベルがボリューム設定を切換えた瞬間に変動することになり、この電子ボリューム出力をオーディオアンプなどで増幅するとスピーカからショック音が発生する。

【0004】従来は、前段回路と電子ボリューム回路の入力端子 7 との間に DC 成分カット用のコンデンサ（カップリングコンデンサ）を挿入して、電子ボリューム回路に DC オフセット電圧を入力させないことで、全てのボリューム設定での出力 DC レベルを揃え、DC 出力レベルの変動に起因する切換ノイズの発生を防いでいた。

【0005】この方策では、カップリングコンデンサが必要であるが、IC 内部で実現不可能な容量値であるため、IC 外部で単体コンデンサを回路間に挿入する。このため、IC には外付コンデンサ接続のためにピンが必要となる。システムとして IC を使用する場合、外付部品が少ないほどシステム全体のコストが減少する。また、IC チップとしてはピン数が少ないほど製造コストが減少する。このため、なるべく外付部品点数の少ない IC、ピン数が少ない IC が求められる。

【0006】

【発明が解決しようとする課題】この発明は、切換ノイズを適切に除去できる抵抗ラダー型電子ボリュームを得ようとするものである。

【0007】

【課題を解決するための手段】第 1 の発明に係る抵抗ラダー型電子ボリュームでは、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第 1 のスイッチ素子群と、抵抗ラダーの抵抗値を選択し、その抵抗

## 3

値に応じた選択出力を導出する第2のスイッチ素子群とを備え、制御信号の印加により、前記第1のスイッチ素子群または第2のスイッチ素子群の選択出力を切換えてボリューム選択を行うものにおいて、前記第1および第2のスイッチ素子群による選択出力を受け、これらの選択出力を切換えてボリューム制御用出力を導出するオペアンプを備え、前記オペアンプを前記制御信号の印加から遅延して制御することにより、ボリューム制御用出力を緩やかに変化させるようにしたものである。

【0008】第2の発明に係る抵抗ラダー型電子ボリュームでは、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第1のスイッチ素子群と、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第2のスイッチ素子群とを備え、制御信号の印加により、前記第1のスイッチ素子群または第2のスイッチ素子群の選択出力を切換えてボリューム選択を行うものにおいて、前記第1のスイッチ素子群の選択出力を受ける第1の正入力端子と、前記第2のスイッチ素子群による選択出力を受ける第2の正入力端子とを有し、これら第1および第2の正入力端子に入力される前記第1のスイッチ素子群の選択出力と第2のスイッチ素子群の選択出力とを切換えてボリューム制御用出力を導出するスイッチオペアンプを備え、前記スイッチオペアンプを前記制御信号の印加から遅延して制御することにより、ボリューム制御用出力を緩やかに変化させるようにしたものである。

【0009】第3の発明に係る抵抗ラダー型電子ボリュームでは、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第1のスイッチ素子群と、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第2のスイッチ素子群とを備え、ボリューム制御回路からの制御信号の印加により、前記第1のスイッチ素子群または第2のスイッチ素子群の選択出力を切換えてボリューム選択を行うものにおいて、前記第1および第2のスイッチ素子群による選択出力を受け、これらの選択出力を切換えてボリューム制御用出力を導出するオペアンプを備え、前記オペアンプを前記ボリューム制御回路から遅延回路を介して印加される遅延した制御信号によって制御することにより、ボリューム制御用出力を緩やかに変化させるようにしたものである。

【0010】第4の発明に係る抵抗ラダー型電子ボリュームでは、前記遅延回路を積分器により構成し、前記遅延回路に対し抵抗により分圧された電圧入力を印加するようにしたものである。

【0011】

【発明の実施の形態】実施の形態1. この発明による実施の形態1を、図1ないし図3について説明する。図1は実施の形態1における全体構成を示す接続図である。図2は実施の形態1における出力波形モデルを従来技術と対比して示す説明図である。図2(a)は従来技術に

## 4

ついて示し、図2(b)は実施の形態1について示している。図3は実施の形態1における遅延回路の構成を示す接続図である。

【0012】図1において、1は抵抗ラダー、2はスイッチ素子A群、3はスイッチ素子B群、4はボリューム制御回路、5は遅延回路、6はスイッチオペアンプ、7は入力端子、8は出力端子である。スイッチ素子A群2は、抵抗ラダー1の抵抗値を選択し、その抵抗値に応じた選択出力を導出する。スイッチ素子B群3もまた、抵抗ラダー1の抵抗値を選択し、その抵抗値に応じた選択出力を導出する。

【0013】スイッチオペアンプ6は、1対の正入力端子を有し、その一方の正入力端子にスイッチ素子A群2からの選択出力を受け、他方の正入力端子にスイッチ素子B群3からの選択出力を受ける。ボリューム制御回路4は、制御信号をスイッチ素子A群2およびスイッチ素子B群3に印加し、スイッチ素子A群2の選択出力またはスイッチ素子B群3の選択出力を切換えて、ボリューム選択を行うものである。そして、ボリューム制御回路4は、スイッチ素子群2、3に対する制御信号の印加とともに、遅延回路5を介してスイッチオペアンプ6に制御信号を印加する。

【0014】ここで、図1に示す、抵抗ラダー1、スイッチ素子群2、3、ボリューム制御回路4、遅延回路5およびスイッチオペアンプ6は、この発明による電子ボリュームを構成するICとして、一体に集積化されている。

【0015】従来使用されている電子ボリューム回路は、図6に示すように、抵抗ラダー1、1つのスイッチ群14、ボリューム制御回路4およびオペアンプ15で構成されている。従来の電子ボリュームでの構成での問題点を示す。電子ボリューム回路ブロックの前に接続されている前段回路の出力に生ずるDCオフセット電圧により、電子ボリューム回路ブロックの基準電圧とDCオフセット電圧の差分によって抵抗ラダー1に電流が流れ、ボリューム設定点各点においてDC電圧に差が生じる。出力端子8から導出されるボリューム制御用出力としてのボリューム出力のレベルを決定するスイッチを切換えた瞬間にDC電圧が変化するため、出力端子8から導出されるボリューム制御用出力としてのボリューム出力は、図2(a)に示すボリューム制御用出力すなわちボリューム出力DCレベルV<sub>o</sub>のように急激な変化を示し、この出力がオーディオパワーアンプに入力されスピーカー等で出力されるとショック音(切換ノイズ)を感じる。

【0016】この急激な出力変化を防ぐため、この発明による実施の形態1では、図1に示すような構成を取り、緩やかな出力変化(ソフト切換)を行うことで切換ノイズを減少させる。出力端子8から導出されるボリューム制御用出力すなわちボリューム出力DCレベルV<sub>o</sub>

5

は、図 2 (b) に示すようなものとなる。遅延回路 5 を用いた制御手段の改良により、外付け部品なしで本方式が実現できることが、この発明による実施の形態の特徴である。

【0017】ソフト切換の動作について説明する。図 1 に示すスイッチオペアンプ 6 は、ボリューム制御回路 4 から遅延回路 5 を介して印加される制御信号によって、2 つのオペアンプ機能を切替えることができる。このスイッチオペアンプは、従来は 2 入力を H/L 制御信号で即座に切替えるといった用途に使われており、その際に 10 ショックノイズが発生する問題があった。このスイッチオペアンプを用いた構成でも、遅延回路を使用せずに即座にスイッチオペアンプ切り替えを行うとショックノイズが発生する。制御信号の印加を緩やかに行うことで、この問題が解決できる。

【0018】ボリューム制御命令が IC として集積化された、この実施の形態 1 における電子ボリュームのボリューム制御回路 4 に入力された瞬間、スイッチ素子 A 群 2 は現在のボリューム値に対応するスイッチ設定になるようにされ、スイッチ B 群はボリューム変更後のスウィ 20 ッチ設定になるようにされる。この時、スイッチオペアンプ 6 はスイッチ素子 A 群 2 のボリューム設定に対応したボリューム制御用出力を出力端子 8 から出力する。

【0019】スイッチオペアンプ 6 に印加する制御信号を遅延回路 5 を介し遅延して印加し、スイッチオペアンプ 6 をソフト切換することで、出力端子 8 からのボリューム制御用出力は図 2 (b) に示すように徐々にスイッチ素子 B 群 3 のボリューム設定に対応した出力値に近づいていく。

【0020】このように、出力端子 8 からのボリューム 30 制御用出力を滑らかに変化させることで、出力の時間的変動を小さくし、聴感上感知できないレベルまで抑えることができる。このソフト切換えに必要な時間は 100 ms となる。

【0021】遅延回路 5 について、通常は、図 3 に示すような積分器を用いた遅延回路を使用する。遅延時間  $\tau$  は  $\tau = RC$  で求まり、この回路で数 100 ms の遅延時間を得るために IC 内部で抵抗、コンデンサを作ること 40 は面積的に不可能であるため外付けコンデンサを用いることが多い。ソフト切換えを使用した電子ボリュームはカップリングコンデンサが不用のため 1 つの信号系で 2 ピン削減できる。遅延回路用外付けコンデンサを使用した場合は、コンデンサ接続のためのピン 2 つがあれば良い。複数の信号系があった場合、カップリングコンデンサを全て排除し、遅延信号を共通にすることで、外付けコンデンサとしては 1 つの遅延用コンデンサを用意するだけで良いため、大幅に部品点数が減少させることができる。

【0022】そして、この発明による構成では、回路の改良により遅延回路用のコンデンサも、この発明による 50

6

電子ボリュームを集積化した IC に内蔵させることで、更なる外付け部品点数の削減、チップピン数の削減を行うことができる。

【0023】この発明による実施の形態 1 によれば、抵抗ラダー 1 の抵抗値を選択し、その抵抗値に応じた選択出力を導出する第 1 のスイッチ素子群 2 と、抵抗ラダー 1 の抵抗値を選択し、その抵抗値に応じた選択出力を導出する第 2 のスイッチ素子群 3 とを備え、ボリューム制御回路 4 からの制御信号の印加により、前記第 1 のスイッチ素子群 2 または第 2 のスイッチ素子群 3 の選択出力を切替えてボリューム選択を行うものにおいて、前記第 1 のスイッチ素子群 2 の選択出力を受ける第 1 の正入力端子と、前記第 2 のスイッチ素子群 3 による選択出力を受ける第 2 の正入力端子とを有し、これら第 1 および第 2 の正入力端子に入力される前記第 1 のスイッチ素子群 2 の選択出力と第 2 のスイッチ素子群 3 の選択出力とを切替えてボリューム制御用出力を導出するスイッチオペアンプ 6 を備え、前記スイッチオペアンプ 6 を前記ボリューム制御回路 4 から遅延回路 5 を介して印加される遅延した制御信号によって制御することにより、ボリューム制御用出力を緩やかに変化させるようにしたので、スイッチオペアンプ 6 の制御により、切換ノイズを適切に除去できる抵抗ラダー型電子ボリュームを得ることができる。

【0024】実施の形態 2. この発明による実施の形態 2 を、図 4 および図 5 について説明する。図 4 は実施の形態 2 における全体構成を示す接続図である。図 5 は実施の形態 2 における遅延回路の構成を示す接続図である。

【0025】図 4 において、1 は抵抗ラダー、2 はスイッチ素子 A 群、3 はスイッチ素子 B 群、4 はボリューム制御回路、5 A は遅延回路、6 はスイッチオペアンプ、7 は入力端子、8 は出力端子である。ここで、図 4 に示すもののうち、遅延回路 5 A 以外の構成および動作は、実施の形態 1 におけるものと同様の構成であり、同様の動作を行うものである。

【0026】図 5 に詳細構成を示す遅延回路 5 A は、実施の形態 1 において図 3 に示す遅延回路 5 を改良したものである。図 5 において、9 はオペアンプ、10 はコンデンサ、11 は抵抗である。オペアンプ 9、コンデンサ 10 および抵抗 11 は、積分器を構成する。12、13 は、オペアンプ 9、コンデンサ 10 および抵抗 11 からなる積分器への入力電圧値を設定する分圧抵抗である。これらオペアンプ 9、コンデンサ 10 および抵抗 11 からなる積分器および分圧抵抗 11、12 は、電子ボリュームを構成する他の構成要素と一体に集積化され、IC を構成している。

【0027】この回路の遅延時間  $\tau'$  は、 $\tau' = [1 + R2/R1] R \cdot C$  であらわすことができる。ここで、C はコンデンサ 10 の容量値、R は抵抗 11 の抵抗値、

7

R1、R2は、それぞれ抵抗12、13の抵抗値である。この遅延回路5Aでは、抵抗12、13の抵抗値R1、R2を調整することでコンデンサ10の容量値Cの値を小さくすることができるため、コンデンサ10を外付けにせず、この発明による実施の形態における電子ボリュームを集積化したICに内蔵させることができる。

【0028】この発明による実施の形態2では、以上のことをふまえ、図4のような回路構成にすることで、IC外部に切換えノイズに関する外付け部品が全く不要な電子ボリューム回路構成が実現できる。

【0029】この発明による実施の形態2によれば、遅延回路5Aをオペアンプ9、コンデンサ10、抵抗11を用いた積分器により構成し、この遅延回路5Aに対し抵抗12、13により分圧された電圧入力を印加するようにしたので、遅延時間 $\tau$ を十分に確保でき、切換ノイズを適切に除去できる抵抗ラダー型電子ボリュームを得ることができる。

【0030】

【発明の効果】第1の発明によれば、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第1のスイッチ素子群と、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第2のスイッチ素子群とを備え、制御信号の印加により、前記第1のスイッチ素子群または第2のスイッチ素子群の選択出力を切換えてボリューム選択を行うものにおいて、前記第1および第2のスイッチ素子群による選択出力を受け、これらの選択出力を切換えてボリューム制御用出力を導出するオペアンプを備え、前記オペアンプを前記制御信号の印加から遅延して制御することにより、ボリューム制御用出力を緩やかに変化させるようにしたので、切換ノイズを適切に除去できる抵抗ラダー型電子ボリュームを得ることができる。

【0031】第2の発明によれば、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第1のスイッチ素子群と、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第2のスイッチ素子群とを備え、制御信号の印加により、前記第1のスイッチ素子群または第2のスイッチ素子群の選択出力を切換えてボリューム選択を行うものにおいて、前記第1のスイッチ素子群の選択出力を受ける第1の正入力端子と、前記第2のスイッチ素子群による選択出力を受ける第2の正入力端子とを有し、これら第1および第2の正入力端子に入力される前記第1のスイッチ素子群の選択出力と第2のスイッチ素子群の選択出力とを切換えてボリューム制御用出力を導出するスイッチオペアンプを備え、前記スイッチオペアンプを前記制御信号の印加から遅延して制御することにより、ボリューム制御用出力を

8

緩やかに変化させるようにしたので、前記スイッチオペアンプの制御により、切換ノイズを適切に除去できる抵抗ラダー型電子ボリュームを得ることができる。

【0032】第3の発明によれば、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第1のスイッチ素子群と、抵抗ラダーの抵抗値を選択し、その抵抗値に応じた選択出力を導出する第2のスイッチ素子群とを備え、ボリューム制御回路からの制御信号の印加により、前記第1のスイッチ素子群または第2のスイッチ素子群の選択出力を切換えてボリューム選択を行うものにおいて、前記第1および第2のスイッチ素子群による選択出力を受け、これらの選択出力を切換えてボリューム制御用出力を導出するオペアンプを備え、前記オペアンプを前記ボリューム制御回路から遅延回路を介して印加される遅延した制御信号によって制御することにより、ボリューム制御用出力を緩やかに変化させるようにしたので、遅延回路を介して印加される制御信号による前記オペアンプの制御により、切換ノイズを適切に除去できる抵抗ラダー型電子ボリュームを得ることができる。

【0033】第4の発明によれば、前記遅延回路を積分器により構成し、前記遅延回路に対し抵抗により分圧された電圧入力を印加するようにしたので、遅延時間を十分に確保でき、切換ノイズを適切に除去できる抵抗ラダー型電子ボリュームを得ることができる。

【図面の簡単な説明】

【図1】 この発明による実施の形態1における全体構成を示す接続図である。

【図2】 この発明による実施の形態1における出力波形モデルを従来技術と対比して示す説明図である。図2(a)は従来技術について示し、図2(b)は実施の形態1について示している。

【図3】 この発明による実施の形態1における遅延回路の構成を示す接続図である。

【図4】 この発明による実施の形態2における全体構成を示す接続図である。

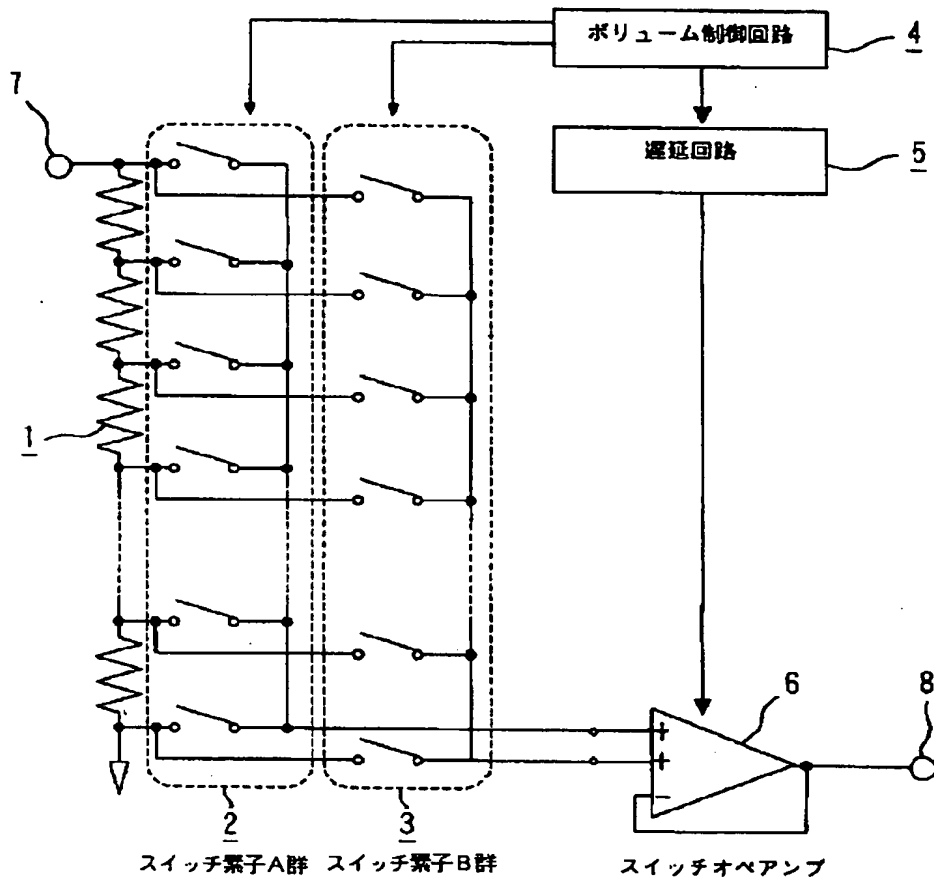
【図5】 この発明による実施の形態2における遅延回路の構成を示す接続図である。

【図6】 従来技術における抵抗ラダー式電子ボリュームの構成を示す接続図である。

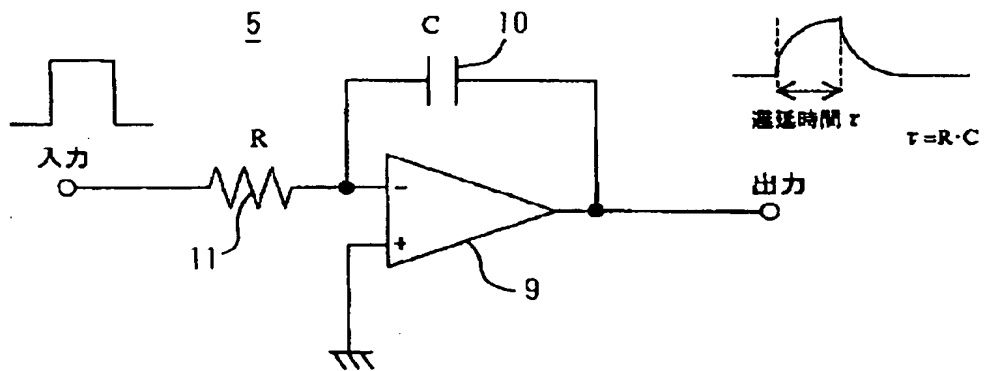
【符号の説明】

1 抵抗ラダー、2 スwitch素子A群、3 スwitch素子B群、4 ボリューム制御回路、5、5A 遅延回路、6 スwitchオペアンプ、7 入力端子、8 出力端子、9 オペアンプ、10 コンデンサ、11 抵抗、12、13分圧抵抗。

【図1】

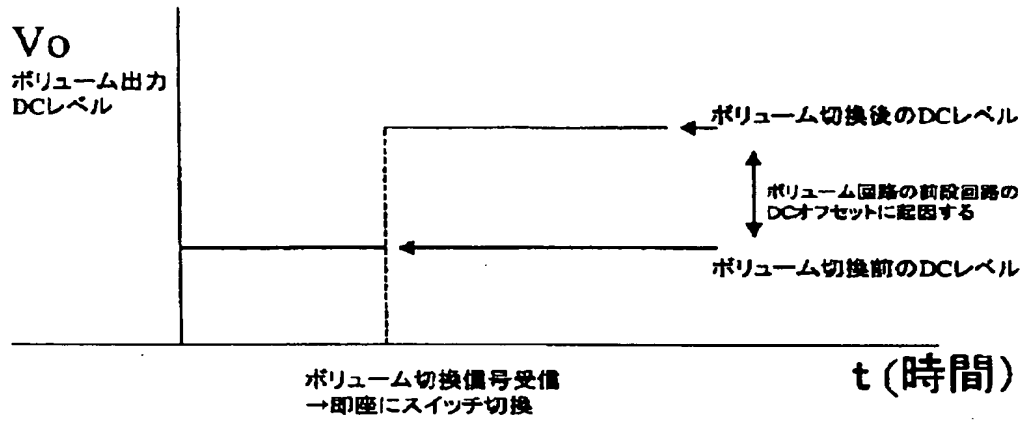


【図3】

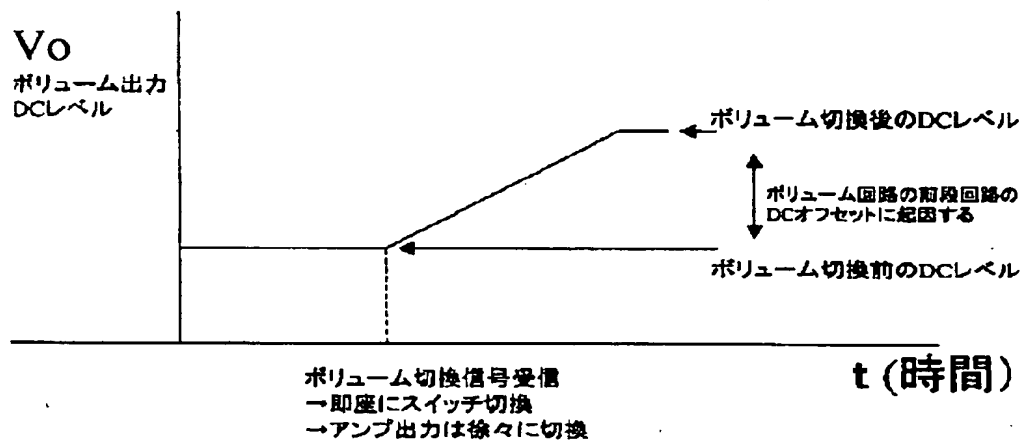


【図2】

(a)

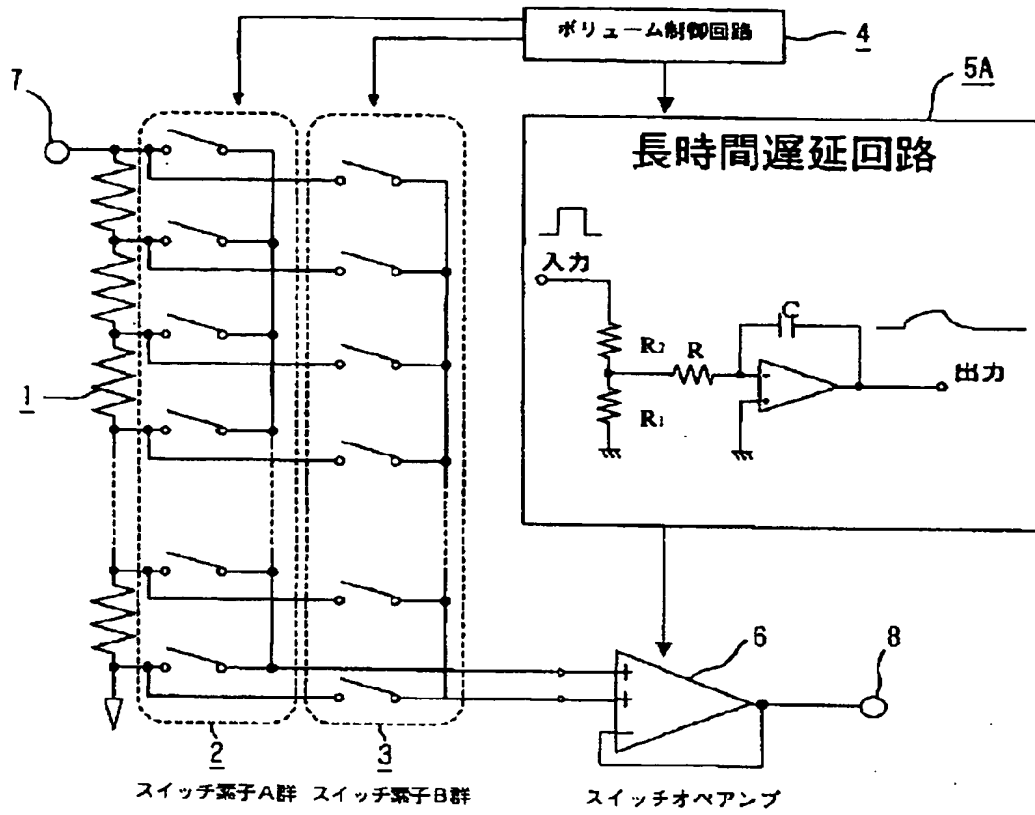


(b)

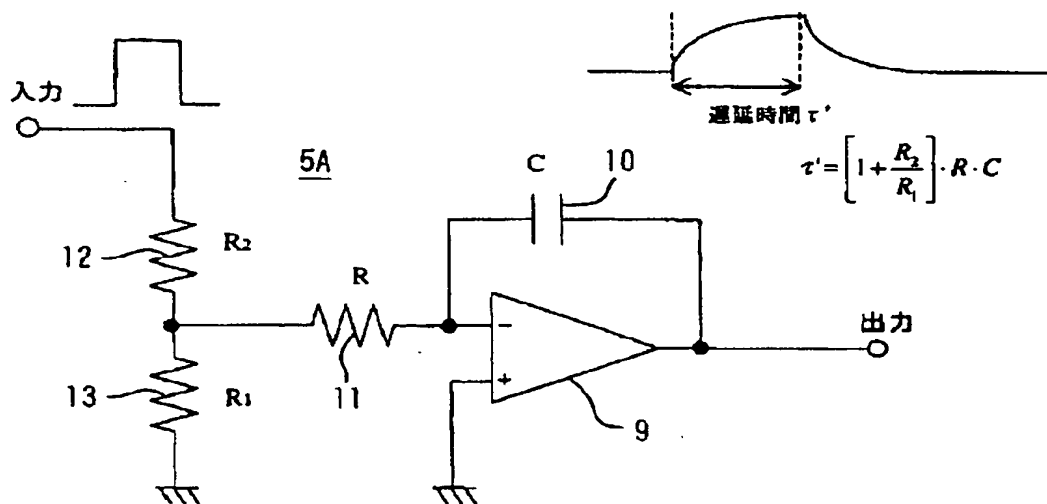




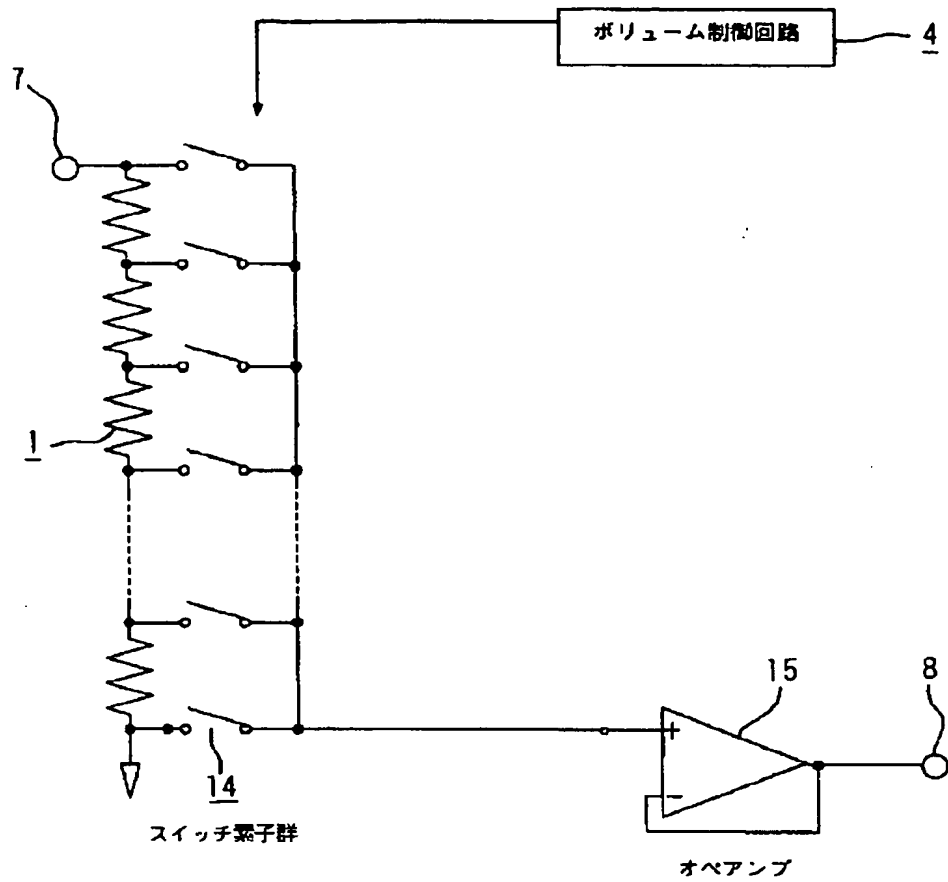
【図4】



【図5】



【図 6】



フロントページの続き

(72) 発明者 柿原 久信  
東京都渋谷区松濤二丁目20番4号 協栄産  
業株式会社内

Fターム(参考) 5J026 AA09 BA04  
5J092 AA02 AA47 AA51 CA41 FR15  
HA01 HA25 HA39 KA01 KA15  
KA62 KA63 TA01  
5J100 AA08 AA15 BA07 BB01 BB11  
BB16 CA01 CA05 CA12 CA22  
JA01 LA10 QA03